

## Формиране на импулси в лавинни режими на биполярни транзистори

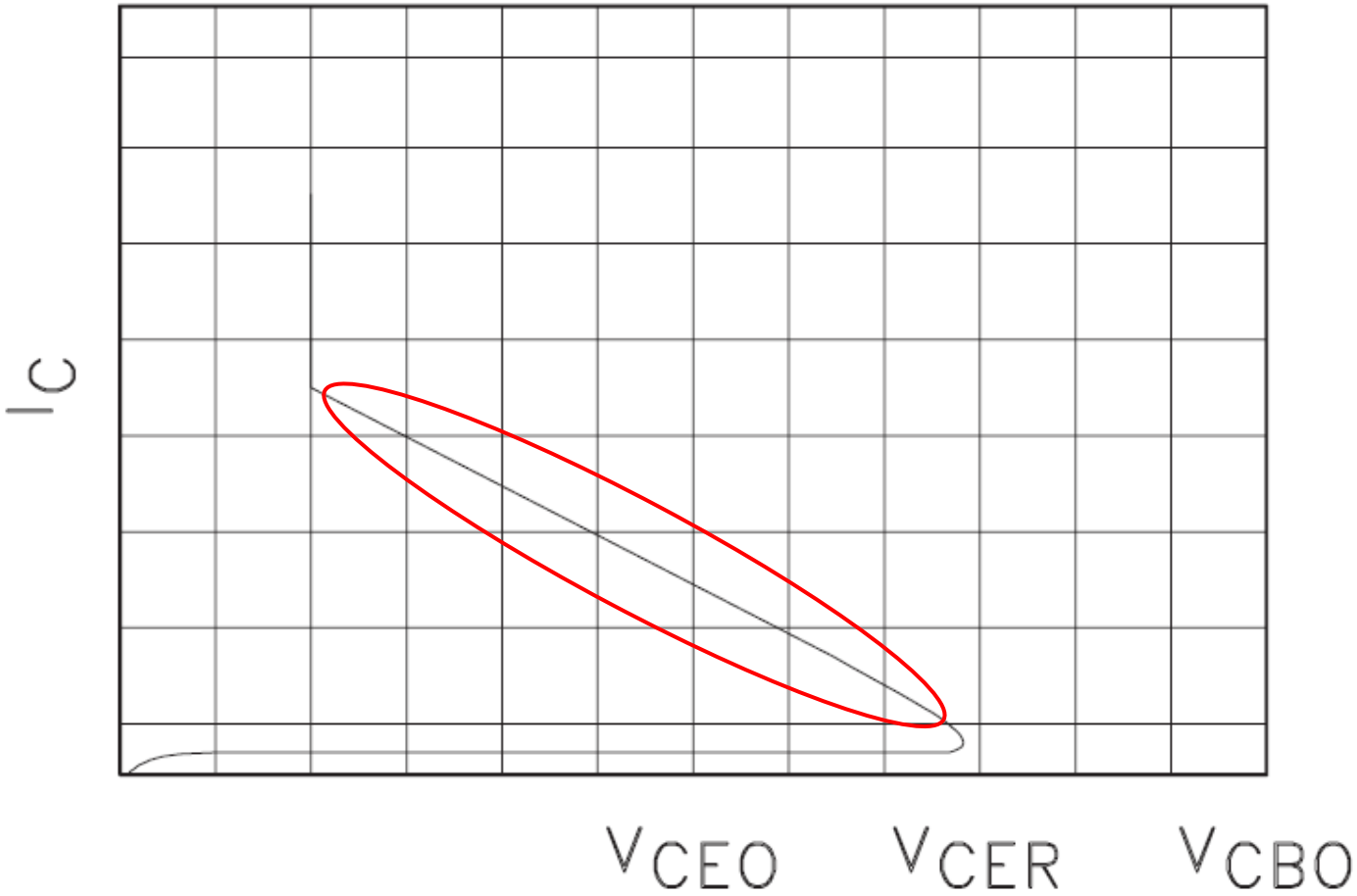
Биполярните транзистори, които работят в лавинен режим могат да осигурят изключително високи скорости на превключване и са в състояние да произвеждат изходни токове, чиито стойности далече надвишават получените от конвенционалните схеми.

Тези техни свойства ги правят приложими в различни устройства като драйвери за лазерни диоди, възбудители на пиезоелементи и генератори на бързи импулси с високо напрежение и ток.

## Формиране на импулси в лавинни режими на биполярни транзистори

Лавинните транзистори се характеризират с отрицателно диференциално съпротивление в областта на пробива в техните волт-амперни характеристики (обикновено се нарича вторичен пробив). Тази област позволява контролирано превключване на много големи токове за време от наносекунди, когато се използват подходящи схеми. Изходният импулс се ограничава от напрежението на първичния пробив  $V_{CBO}$ , напрежението на насищане на транзистора и допустимата разсейвана мощност.

# Формиране на импулси в лавинни режими на биполярни транзистори



## Формиране на импулси в лавинни режими на биполярни транзистори

### ZTX415

PARAMETER	SYMBOL	VALUE	UNIT
Collector-Base Voltage	$V_{CBO}$	260	V
Collector-Emitter Voltage	$V_{CEO}$	100	V
Emitter-Base Voltage	$V_{EBO}$	6	V
Continuous Collector Current	$I_C$	500	mA
Peak Collector Current (Pulse Width=20ns)	$I_{CM}$	60	A
Power Dissipation	$P_{tot}$	680	mW
Operating and Storage Temperature Range	$T_j; T_{stg}$	-55 to +175	°C

**Абсолютни стойности на параметрите**

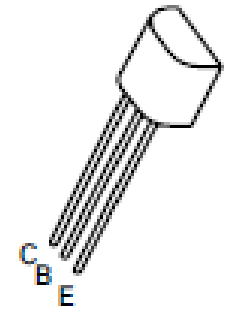
# Формиране на импулси в лавинни режими на биполярни транзистори

## ZTX415

### ELECTRICAL CHARACTERISTICS (at $T_{amb} = 25^{\circ}\text{C}$ unless otherwise stated).

PARAMETER	SYMBOL	MIN.	TYP.	MAX.	UNIT	CONDITIONS.
Collector-Base Breakdown Voltage	$V_{(BR)CES}$	260			V	$I_C=1\text{mA}$ $T_{amb} = -55 \text{ to } +175^{\circ}\text{C}$
Collector-Emitter Breakdown Voltage	$V_{CEO(sus)}$	100			V	$I_C=100\mu\text{A}$
Emitter-Base Breakdown Voltage	$V_{(BR)EBO}$	6			V	$I_E=10\mu\text{A}$
Collector Cut-Off Current	$I_{CBO}$			0.1 10	$\mu\text{A}$ $\mu\text{A}$	$V_{CB}=180\text{V}$ $V_{CB}=180\text{V}, T_{amb}=100^{\circ}\text{C}$
Emitter Cut-Off Current	$I_{EBO}$			0.1	$\mu\text{A}$	$V_{EB}=4\text{V}$
Collector-Emitter Saturation Voltage	$V_{CE(sat)}$			0.5	V	$I_C=10\text{mA}, I_B=1\text{mA}^*$
Base-Emitter Saturation Voltage	$V_{BE(sat)}$			0.9	V	$I_C=10\text{mA}, I_B=1\text{mA}^*$
Current in Second Breakdown (Pulsed)	$I_{SB}$	15 25			A A	$V_C=200\text{V}, C_{CE}=620\text{pF}$ $V_C=250\text{V}, C_{CE}=620\text{pF}$
Static Forward Current Transfer Ratio	$h_{FE}$	25				$I_C=10\text{mA}, V_{CE}=10\text{V}^*$
Transition Frequency	$f_T$	40			MHz	$I_C=10\text{mA}, V_{CE}=20\text{V}$ $f=20\text{MHz}$
Collector-Base Capacitance	$C_{cb}$			8	pF	$V_{CB}=20\text{V}, I_E=0$ $f=100\text{MHz}$

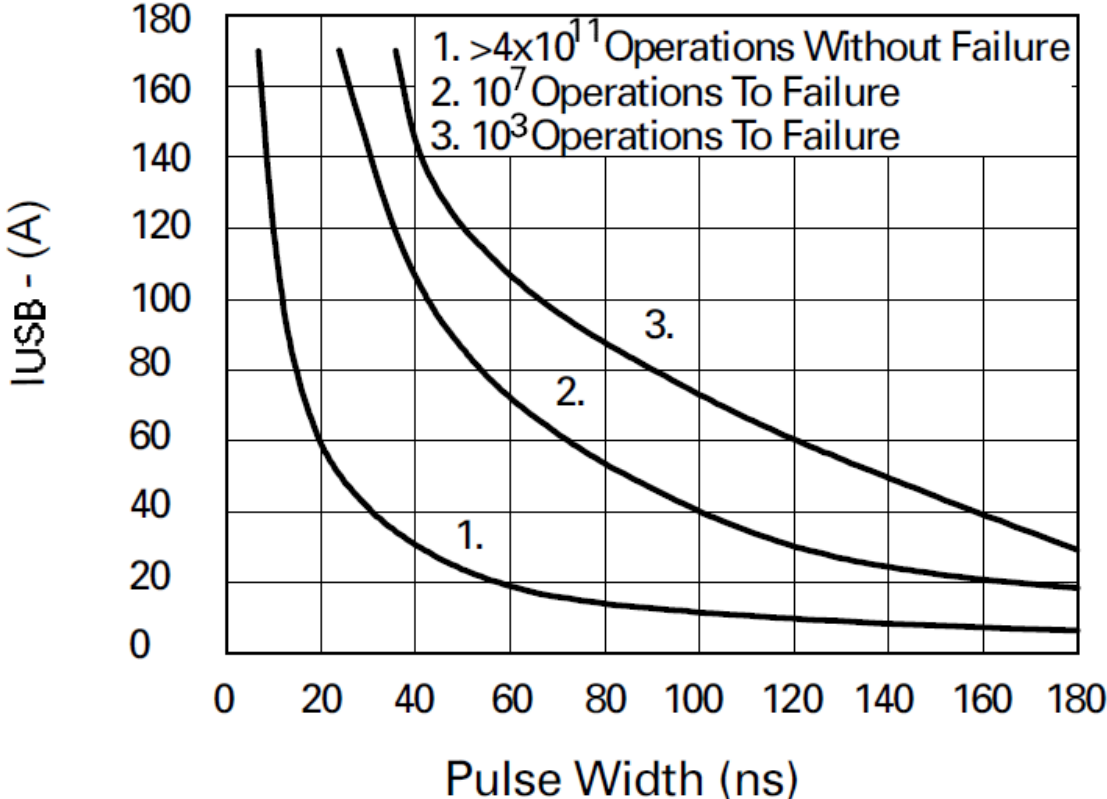
\*Measured under pulsed conditions. Pulse width=300 $\mu\text{s}$ . Duty cycle  $\leq 2\%$



**E-Line  
TO92 Compatible**

# Формиране на импулси в лавинни режими на биполярни транзистори

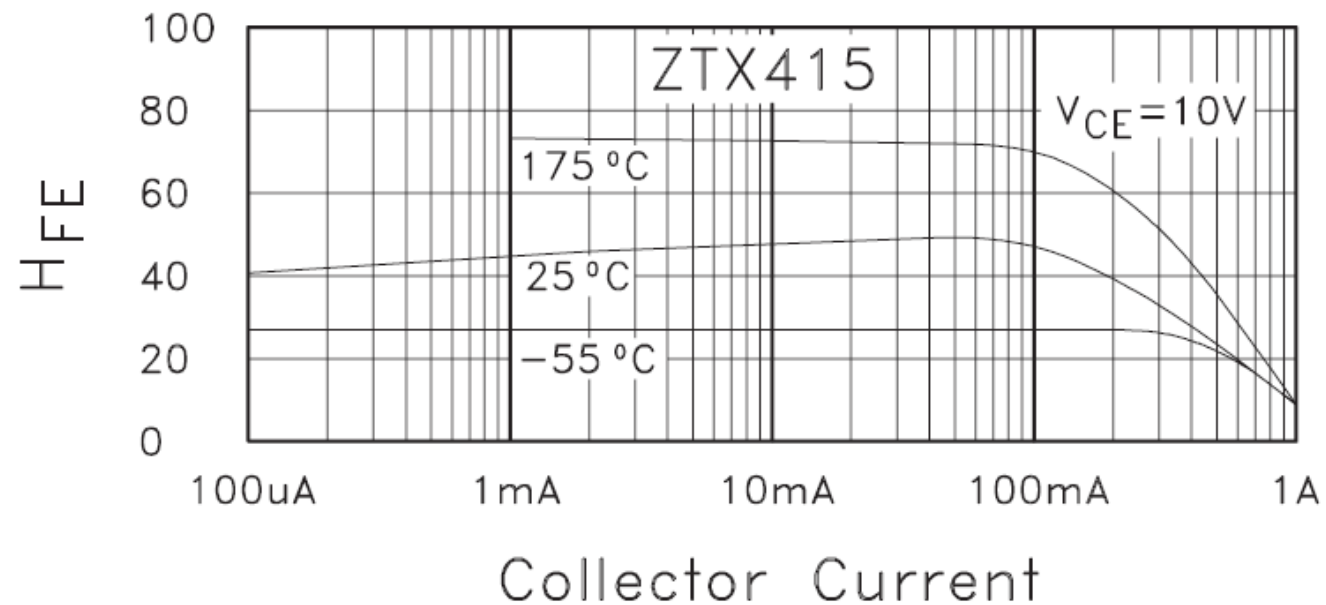
## ZTX415



**Maximum Avalanche Current  
v Pulse Width**

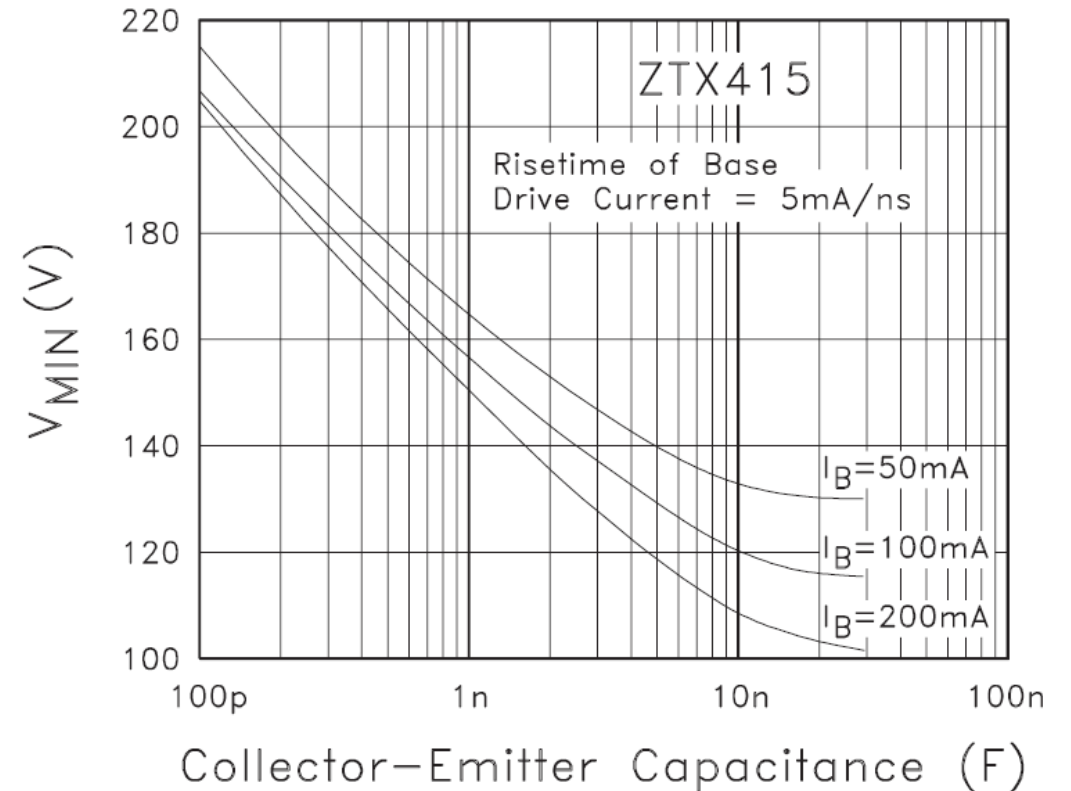
## Формиране на импулси в лавинни режими на биполярни транзистори

При използване на лавинни транзистори трябва да се обърне специално внимание на базовата верига и евентуална промяна на постояннотоковия режим може да бъде важна.



## Формиране на импулси в лавинни режими на биполярни транзистори

Друг важен параметър е минималното напрежение, необходимо за работа в лавинен режим, под което транзисторът има превключваща характеристика като в нелавинен режим. Това „Стартово“ напрежение зависи от външните елементи.





## Формиране на импулси в лавинни режими на биполярни транзистори

Характеристиките на лавинния режим могат да бъдат реализирани в голямо разнообразие от схеми – от прости устройства с единичен кондензатор до формиращи чрез импулсни вериги бързи моновибратори и импулсни генератори с големи изходни токове и напрежения.

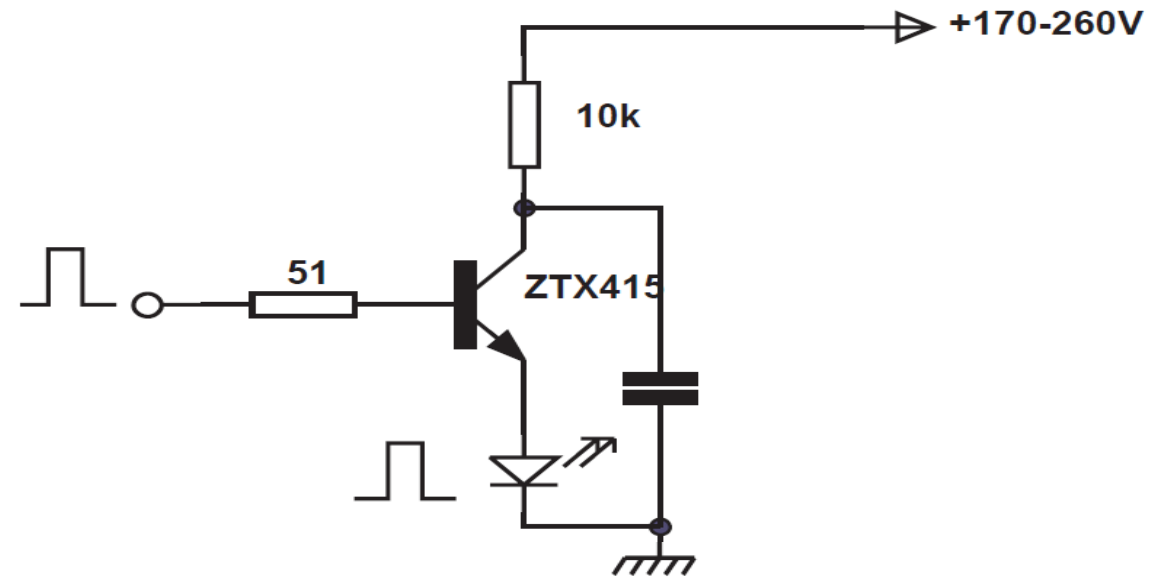
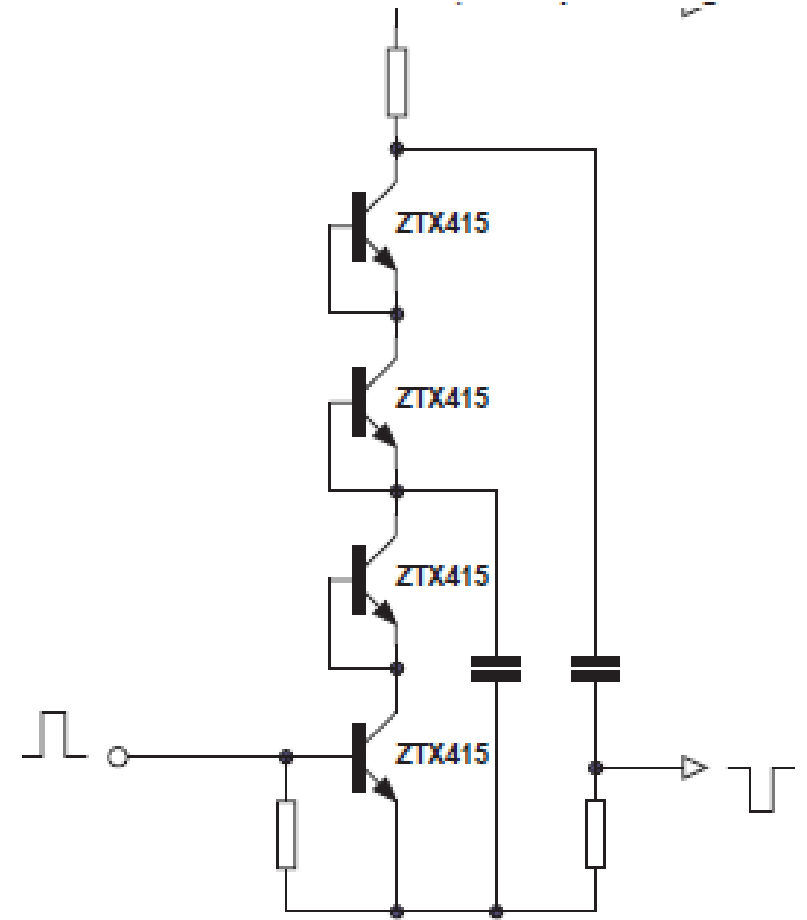


Схема за възбуждане на лазерен диод

## Формиране на импулси в лавинни режими на биполярни транзистори

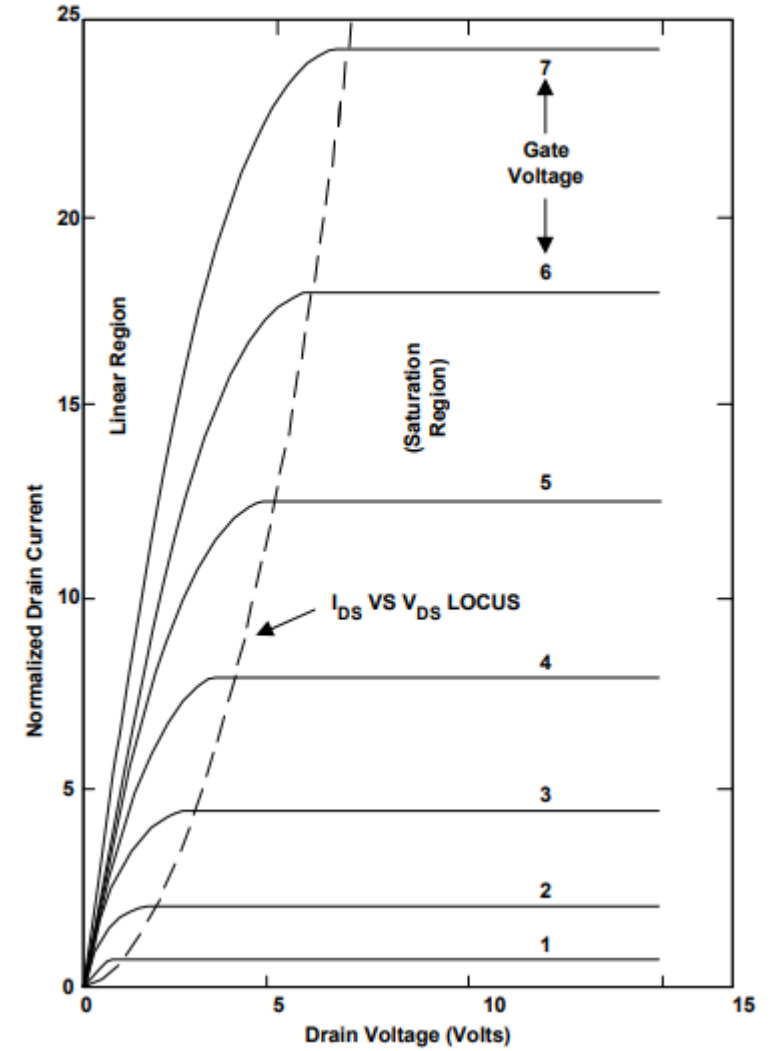
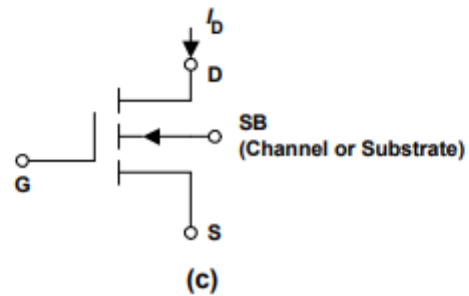
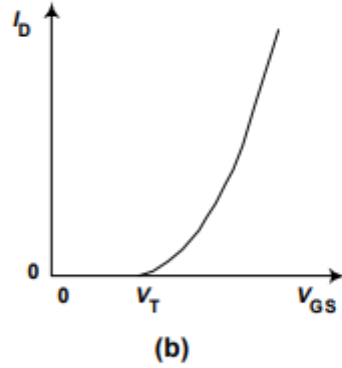
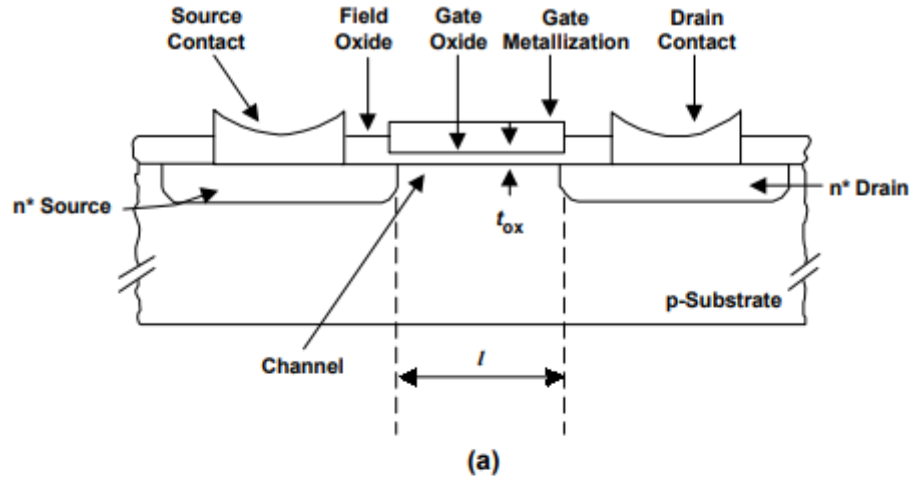
Възможно е също лавинният транзистор ZTX415 да се използва в серийно свързване, за да позволи по-високо захранване и следователно генериране на импулси с много високо напрежение.

Голям брой лавинни транзистори, свързани по такава топология може, чрез оптимизиране на напрежението, разпределено на всеки транзистор, да генерират напрежение до много киловолти.



Последователно свързване на лавинни транзистори за работа с високо напрежение

# MOS ключови схеми



## N-канален MOS транзистор

## MOS ключови схеми

При N-каналният транзистор дрейнът винаги е поляризиран положително спрямо сорса. Напрежението  $U_{GS}$  е входното напрежение, което се използва за управление на съпротивлението между дрейна и сорса (т.е. съпротивлението на канала) и следователно определя дали транзисторът е ВКЛЮЧЕН или ИЗКЛЮЧЕН. Когато  $U_{GS} = 0 \text{ V}$ , няма проводящ канал между дрейна и сорса и транзисторът е изключен. Обикновено съпротивлението на канала в това състояние (OFF) е  $10^{10} \Omega$ , което за повечето цели представлява отворена верига. MOSFET ще остане изключен, докато  $U_{GS}$  е нула или отрицателно.

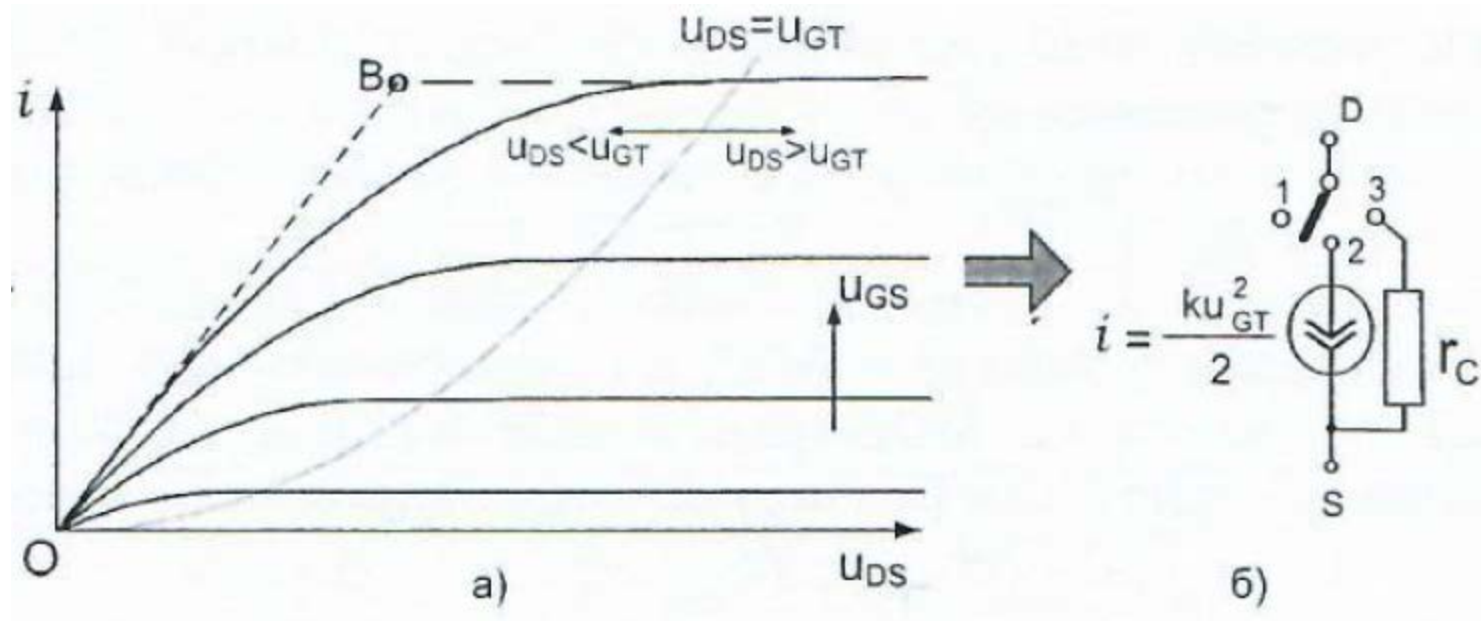
## MOS ключови схеми

Когато  $U_{GS}$  нараства в положителна посока, се достига праговото напрежение ( $V_{TH}$ ), в който момент започва да се образува проводящ канал между сорса и дрейна.

При анализа на импулсни схеми е удобно да се работи с ефективното управляващо напрежение  $u_{GT} = u_{GS} - V_{TH}$ .

При  $u_{GT} < 0$  транзисторът е запушен и токът през него е равен на нула, а при  $u_{GT} > 0$  е отпушен. Границата между двете области се определя от съотношението между управляващото напрежение  $u_{GT}$  и изходното напрежение  $u_{DS}$ .

# MOS ключови схеми



N-канален MOS транзистор

## MOS ключови схеми

За стойности на напрежението на дрейна  $u_{DS} < u_{GT}$  транзисторът е в стръмната (линейна, триодна) област на характеристиките и токът през него се определя с израза:

$$i = k u_{DS} \left( u_{GT} - \frac{u_{DS}}{2} \right) = k u_{DS} \left( u_{GS} - V_{TH} - \frac{u_{DS}}{2} \right).$$

Токът расте линейно с нарастването на дрейновото напрежение, когато то е малко. Параметър на характеристиката е диференциалното съпротивление:

$$r_c = \left. \frac{du_{DS}}{di} \right|_{u_{DS} \rightarrow 0} = \frac{1}{k u_{GT}} = \frac{1}{k(u_{GS} - V_{TH})}.$$

## MOS ключови схеми

За големи напрежения на дрейна ( $u_{DS} > u_{GT}$ ) транзисторът е в областа на насищане (пентодна) и токът през него практически не зависи от  $u_{DS}$  и е квадратична функция на  $u_{GT}$ :

$$i = \frac{k}{2} u_{GT}^2 = \frac{k}{2} (u_{GS} - V_T)^2.$$

$k[\text{A}/\text{V}^2]$  е специфичната стръмност MOS транзистора (за напрежение един волт) и още се нарича *коэффициент на усилване*:

$$k = \frac{\mu C_{OX} W}{L} = \mu \frac{\varepsilon W}{D L} = k' \frac{W}{L}.$$



## MOS ключови схеми

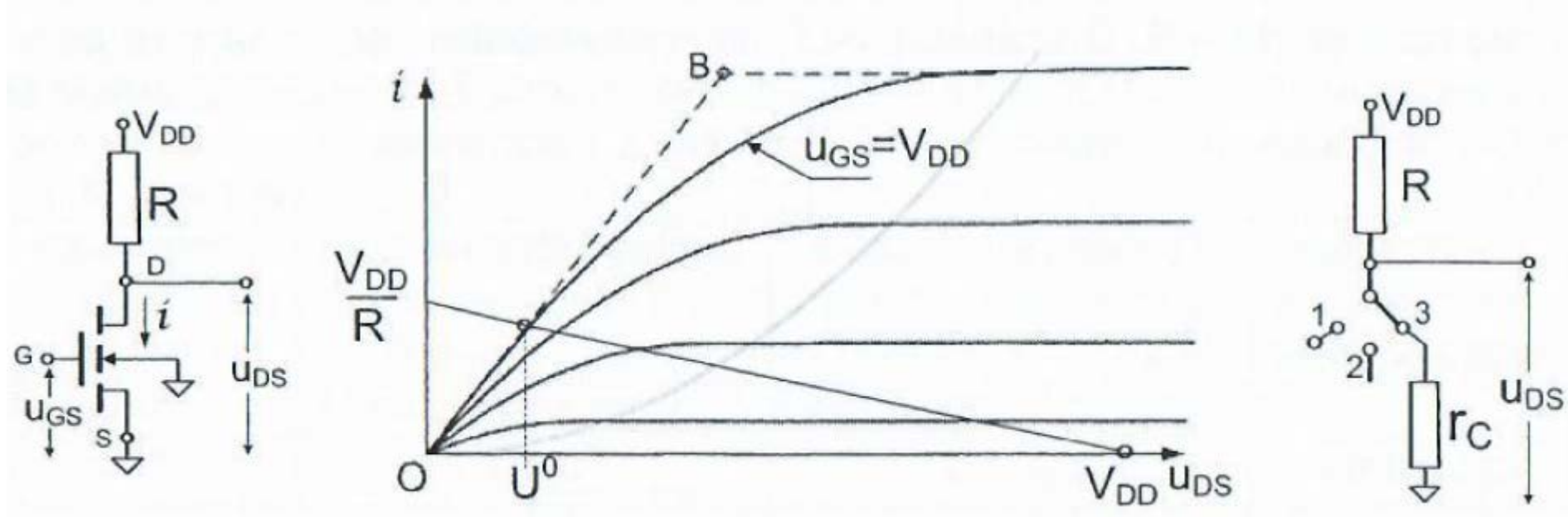
$k'$  е параметър на технологията и е постоянна величина при зададена технология.  $W$  и  $L$  са размерите на канала и проектирането на транзистора се свежда до избор на отношението  $W/L$ . Двете области от характеристиката могат да се представят като управляеми генератор на ток (2 -  $u_{DS} > u_{GT}$ ) и резистор (3 -  $u_{DS} < u_{GT}$ ). След линейна апроксимация на характеристиката се получава права, която отговаря на диференциалното съпротивление на канала, което се използва като изходно съпротивление в цялата стръмна област. Точка **B** определя границата между двете области и има абциса:

$$u_{DS} = \frac{u_{GT}}{2} = \frac{u_{GS} - V_{TH}}{2}.$$

## MOS ключови схеми

Обикновено  $V_{TH} = +1,5 \text{ V}$  за N-MOSFET, така че всяка стойност  $U_{GS} \geq 1,5 \text{ V}$  ще доведе до включването на MOSFET. Като цяло стойност на  $U_{GS}$ , много по-голяма от  $V_{TH}$ , се използва за по-пълно включване на MOSFET. Максимално възможната му стойност е равна на захранващото напрежение  $V_{DD}$ . Тогава работната точка се намира в стръмната област на характеристиките. Описаната транзисторна схема на свързване е общ сорс, което означава, че изходното напрежение е фазово изместено на  $180^\circ$  от входното напрежение. Ако входното напрежение е равно на  $U_m$ , то  $u_{GT} = U_m - V_{TH}$ .

## MOS ключови схеми



### N-канален MOS транзистор в ключов режим

$$u_{DS} = \frac{r_C V_{DD}}{R + r_C} = \frac{V_{DD}}{1 + \frac{R}{r_C}} = \frac{V_{DD}}{1 + SR} = \frac{V_{DD}}{1 + kR(U_m - V_{TH})}$$

При  $U_m = U_{DD}$  следва:  $u_{DS} = \frac{V_{DD}}{1 + kR(U_{DD} - V_{TH})} = U^0$

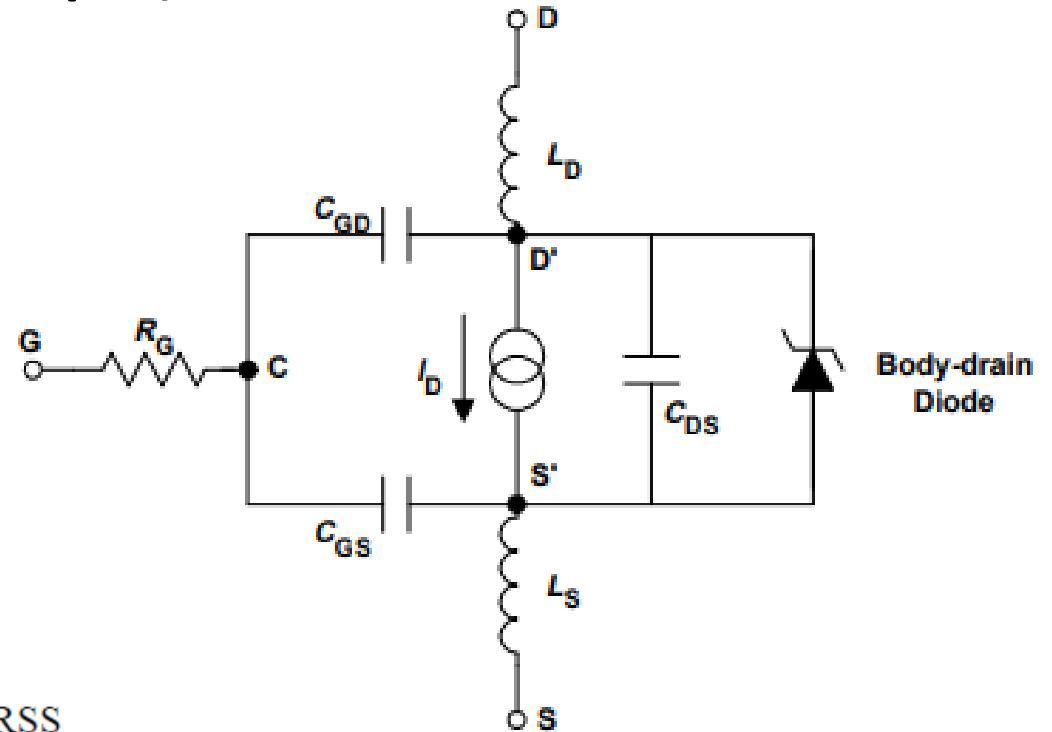
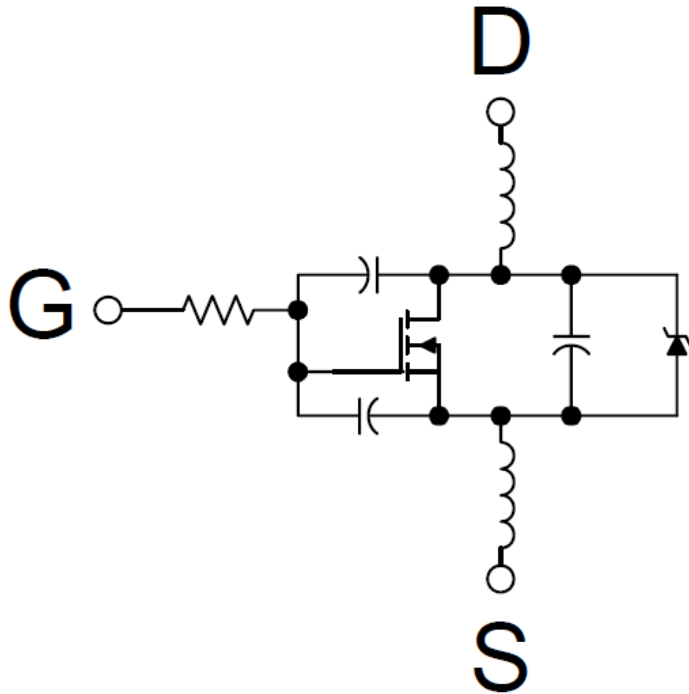
## MOS ключови схеми

### Преходни процеси

Преходните процеси в ключовата схема основно се определят от зареждането и разреждането на паразитните капацитети. Базовата ключова схема съдържа три паразитни капацитета – входен  $C_{ISS}=C_{GSS}+C_{RSS}$ , проходен  $C_{RSS}=C_{GD}$  и изходен  $C_{OSS}=C_{DS}+C_{RSS}+C_L$ , където  $C_L$  е товарният капацитет, който включва капацитетите на изходната шина и входовете на следващите (товарни стъпала). Товарният капацитет обикновено е най-голям и практически той определя изходното напрежение.

# MOS ключови схеми

## Преходни процеси



$$C_{GD} = C_{RSS}$$

$$C_{GS} = C_{ISS} - C_{RSS}$$

$$C_{DS} = C_{OSS} - C_{RSS}$$

**N-канален MOS транзистор**

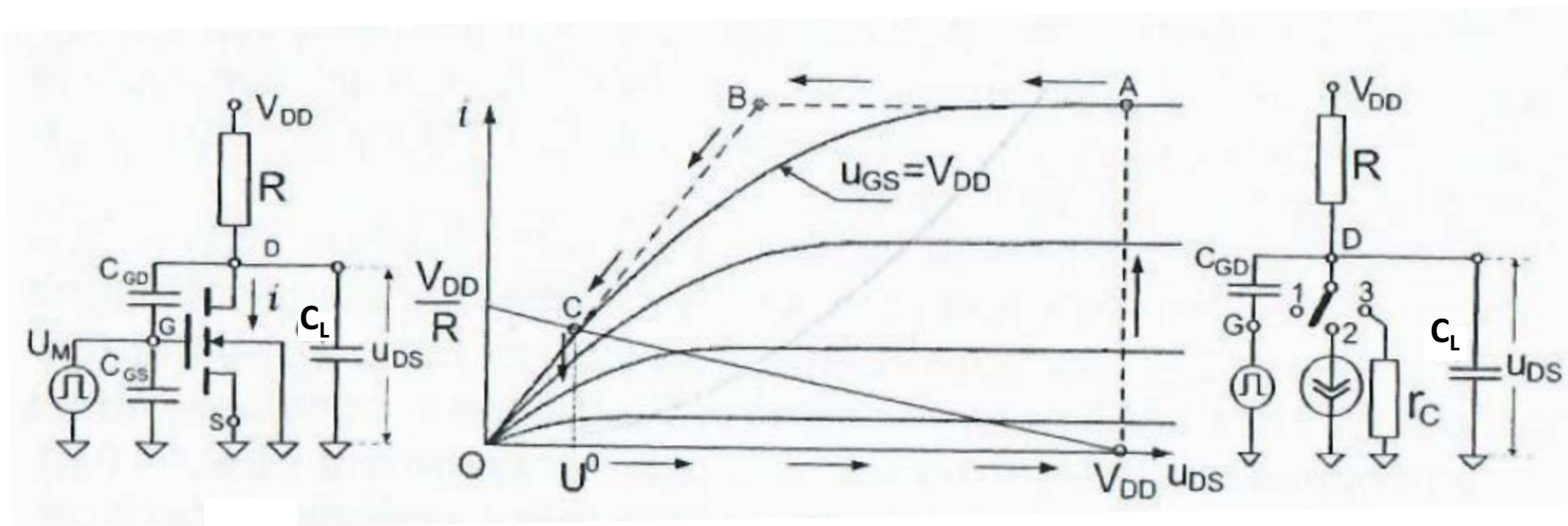
## MOS ключови схеми

$Q_g$	Total Gate Charge	—	—	63	nC	$I_D = 25A$ $V_{DS} = 44V$ $V_{GS} = 10V$ , See Fig. 6 and 13
$Q_{gs}$	Gate-to-Source Charge	—	—	14		
$Q_{gd}$	Gate-to-Drain ("Miller") Charge	—	—	23		
$t_{d(on)}$	Turn-On Delay Time	—	12	—	ns	$V_{DD} = 28V$ $I_D = 25A$ $R_G = 12\Omega$ $V_{GS} = 10V$ , See Fig. 10 ④
$t_r$	Rise Time	—	60	—		
$t_{d(off)}$	Turn-Off Delay Time	—	44	—		
$t_f$	Fall Time	—	45	—		
$L_S$	Internal Source Inductance	—	7.5	—	nH	Between lead, and center of die contact
$C_{iss}$	Input Capacitance	—	1470	—	pF	$V_{GS} = 0V$ $V_{DS} = 25V$ $f = 1.0MHz$ , See Fig. 5
$C_{oss}$	Output Capacitance	—	360	—		
$C_{rss}$	Reverse Transfer Capacitance	—	88	—		
$E_{AS}$	Single Pulse Avalanche Energy <sup>②</sup>	—	530 <sup>⑤</sup>	150 <sup>⑥</sup>	mJ	$I_{AS} = 25A$ , $L = 0.47mH$

**Параметри на N-канален MOS транзистор (IRFZ44)**

# MOS ключови схеми

## Преходни процеси



N-канален MOS транзистор

## MOS ключови схеми

### Преходни процеси

При подаване на входен отпушващ импулс с амплитуда  $U_m - V_{TH}$ , транзисторът се отпушва и токът мигновено нараства от нула до  $i = \frac{k}{2} u_{GT}^2$  (положение 2 на ключа) и започва да разрежда  $C_L$ . За това време работната точка се премества от т. А до т. В. Като се вземе предвид, че токът  $I_A$  не се променя и се пренебрегне тока през резистора  $R$ , който е много по-малък, за продължителността на временния интервал се получава:

$$\Delta t_1 = \frac{C_L \Delta U_{DS}}{I_A} = C_L r_C \left( \frac{2V_{DD}}{U_m - V_{TH}} - 1 \right).$$



## MOS ключови схеми

### Преходни процеси

С продължаване на намаляването на изходното напрежение работната точка се движи в стръмната област на характеристиката (положение 3 на ключа). Времето за преместване на работната точка от т. В в т. С се определя от вътрешното съпротивление на ключа:

$$\Delta t_2 \approx 3C_L r_C.$$

Общата продължителност разглеждания фронт е:

$$t_{\phi 1} = \Delta t_1 + \Delta t_2 = 2C_L r_C \left( \frac{V_{DD}}{U_m - U_{TH}} + 1 \right).$$
 Минималната продължителност се

получава при  $U_m = V_{DD}$  и  $V_{DD} \gg V_{TH}$  и е равна на:  $t_{\phi 1} \approx 4C_L r_C.$

## MOS ключови схеми

### Преходни процеси

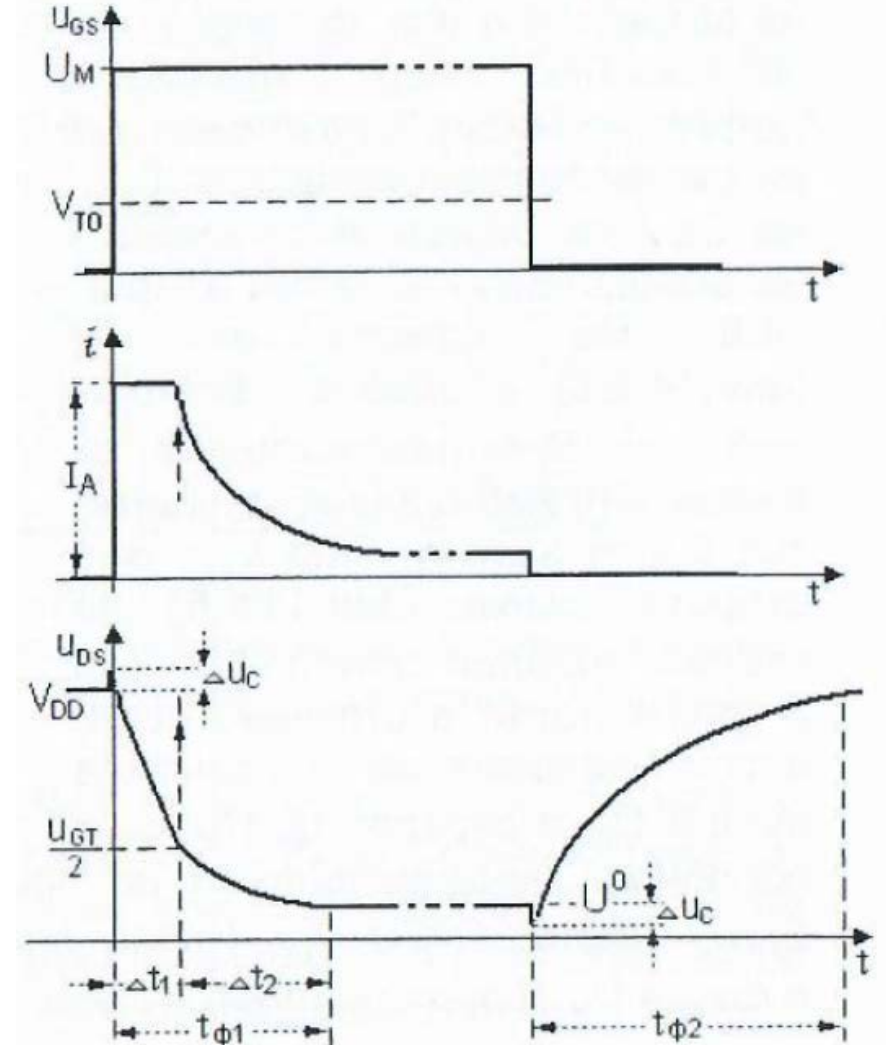
$$\Delta t_1 = \frac{C_L \Delta U_{DS}}{I_A} = C_L r_C \left( \frac{2V_{DD}}{U_m - V_{TH}} - 1 \right)$$

$$\Delta t_2 \approx 3C_L r_C$$

$$t_{\phi 1} = \Delta t_1 + \Delta t_2 = 2C_L r_C \left( \frac{V_{DD}}{U_m - U_{TH}} + 1 \right)$$

$$t_{\phi 1 \min} \approx 4C_L r_C$$

$$t_{\phi 2} \approx 3C_L R$$



**N-канален MOS транзистор**

## MOS ключови схеми

### Преходни процеси

Отскоците в изходното напрежение се дължат на влиянието на проходния капацитет  $C_{GD}$ . Тяхната амплитуда  $\Delta U_C$  е равна на:

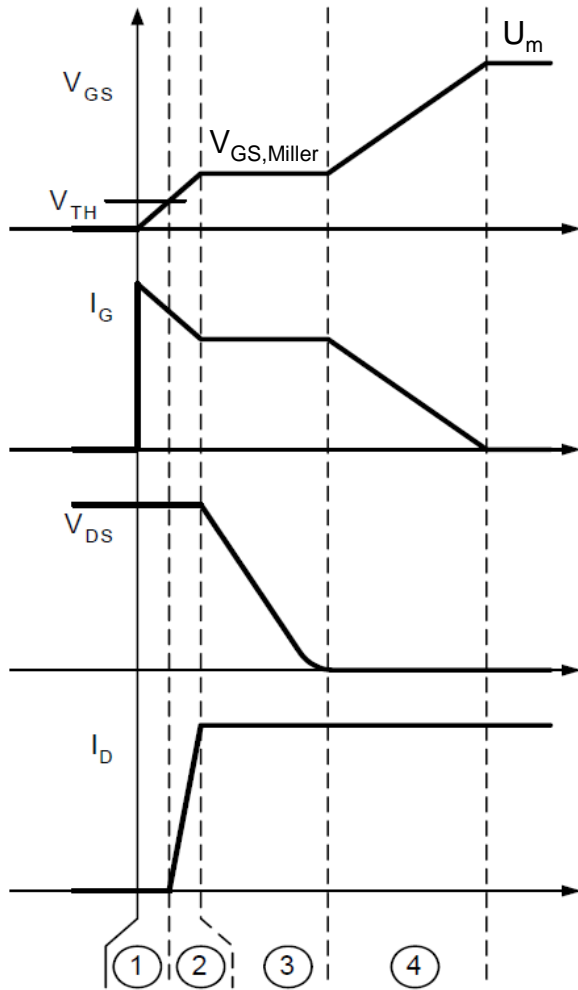
$$\Delta U_C = U_m \frac{C_{GD}}{C_{GD} + C_L}.$$

Второто влияние на  $C_{GD}$  е интегриращия ефект (ефект на Милер) когато към  $C_L$  трябва да се прибави еквивалентния капацитет  $C_{GDE}$ , внасян в изходната верига от  $C_{GD}$ :  $C_{GDE} = 2C_{GD}$ .

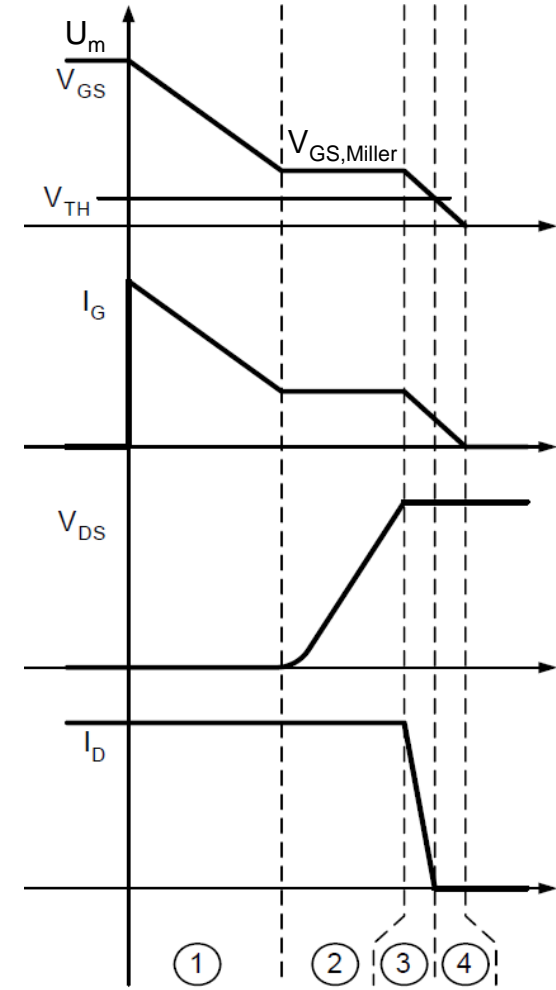
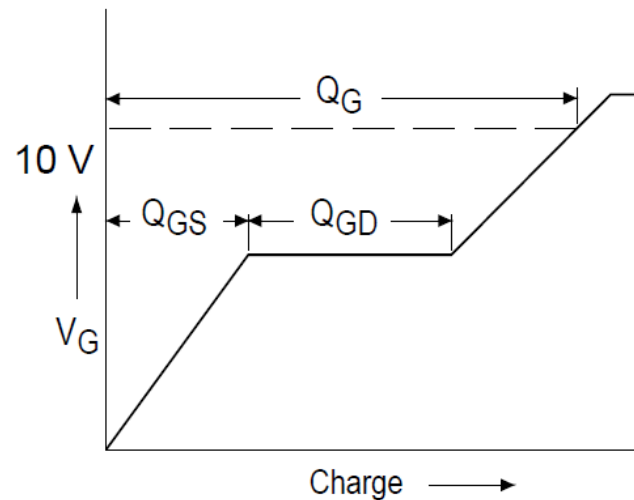
Следователно, за да се отчете влиянието на проходния капацитет  $C_{GD}$  в изходната верига е необходимо удвоената му стойност да се пробави към  $C_L$ .

# MOS ключови схеми

## Преходни процеси

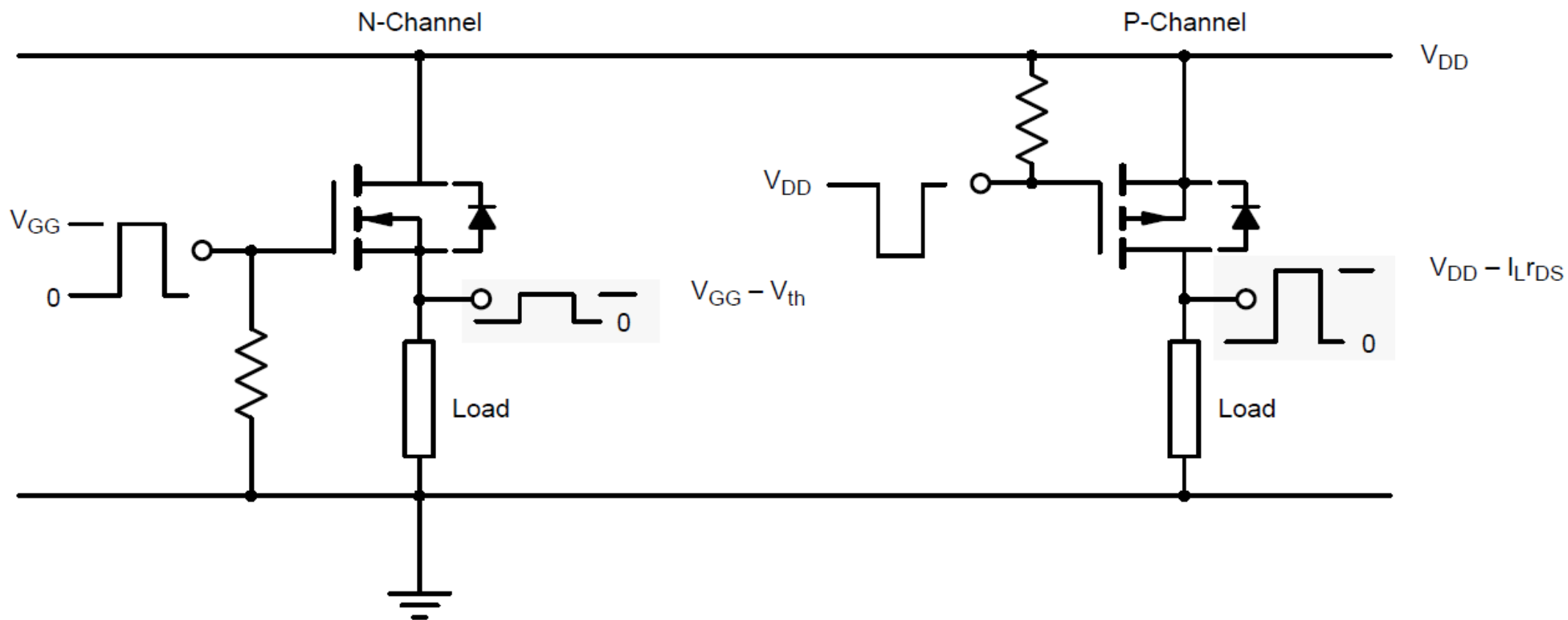


Преходен процес при отпушване на N-канален MOS транзистор



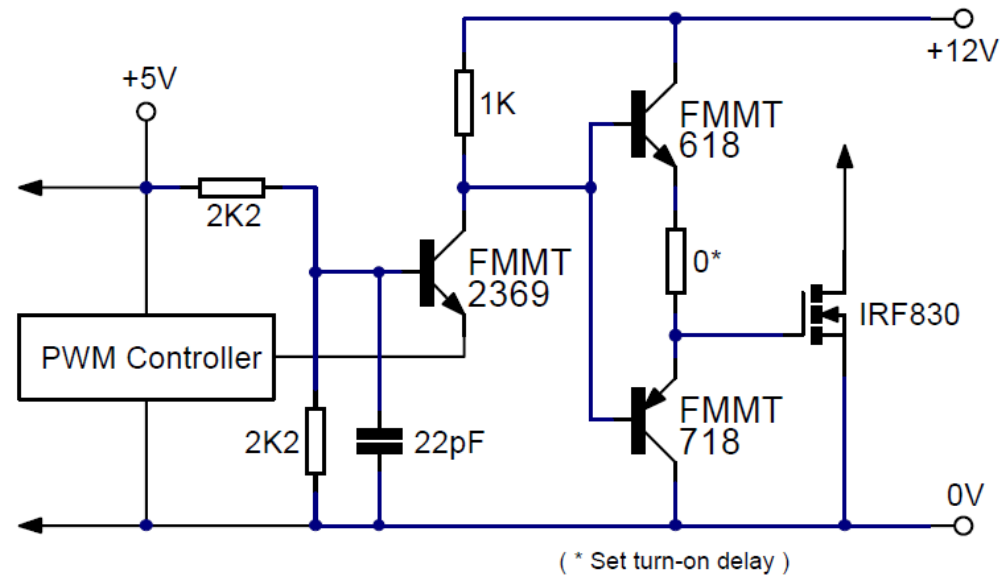
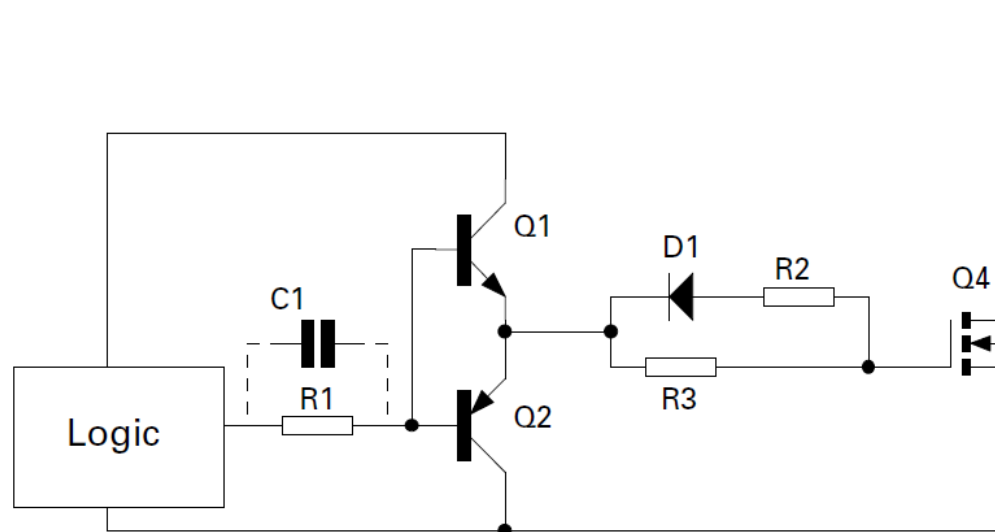
Преходен процес при запушване на N-канален MOS транзистор

# MOS ключови схеми



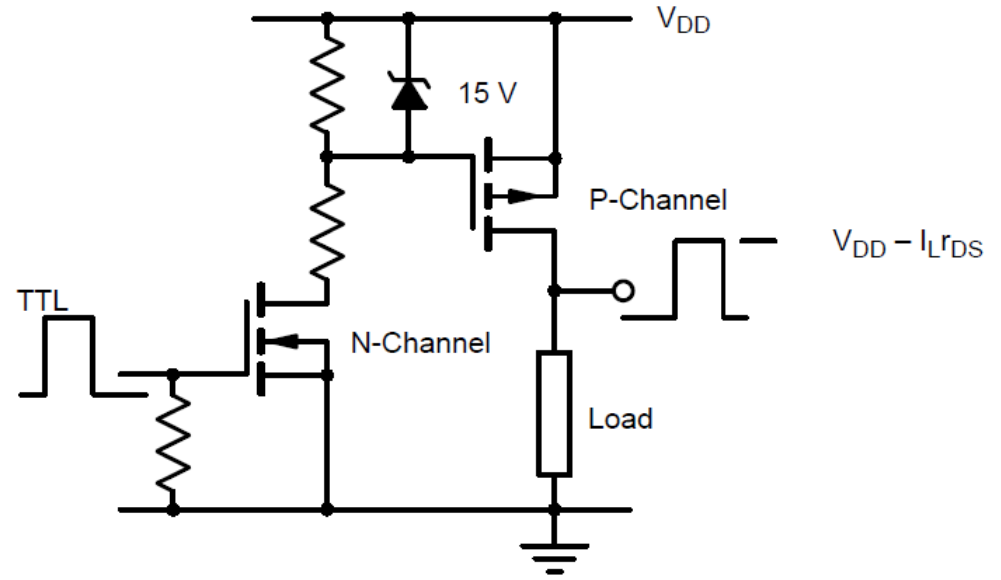
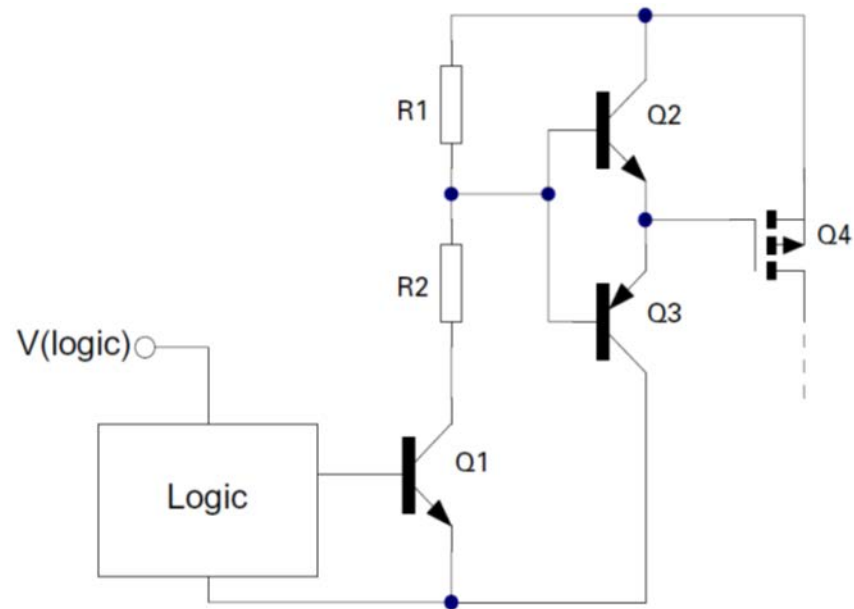
Управление на замасен товар  
с N- и P-канален MOS транзистор

## MOS ключови схеми



Управляващи схеми  
за N-канален MOS транзистор

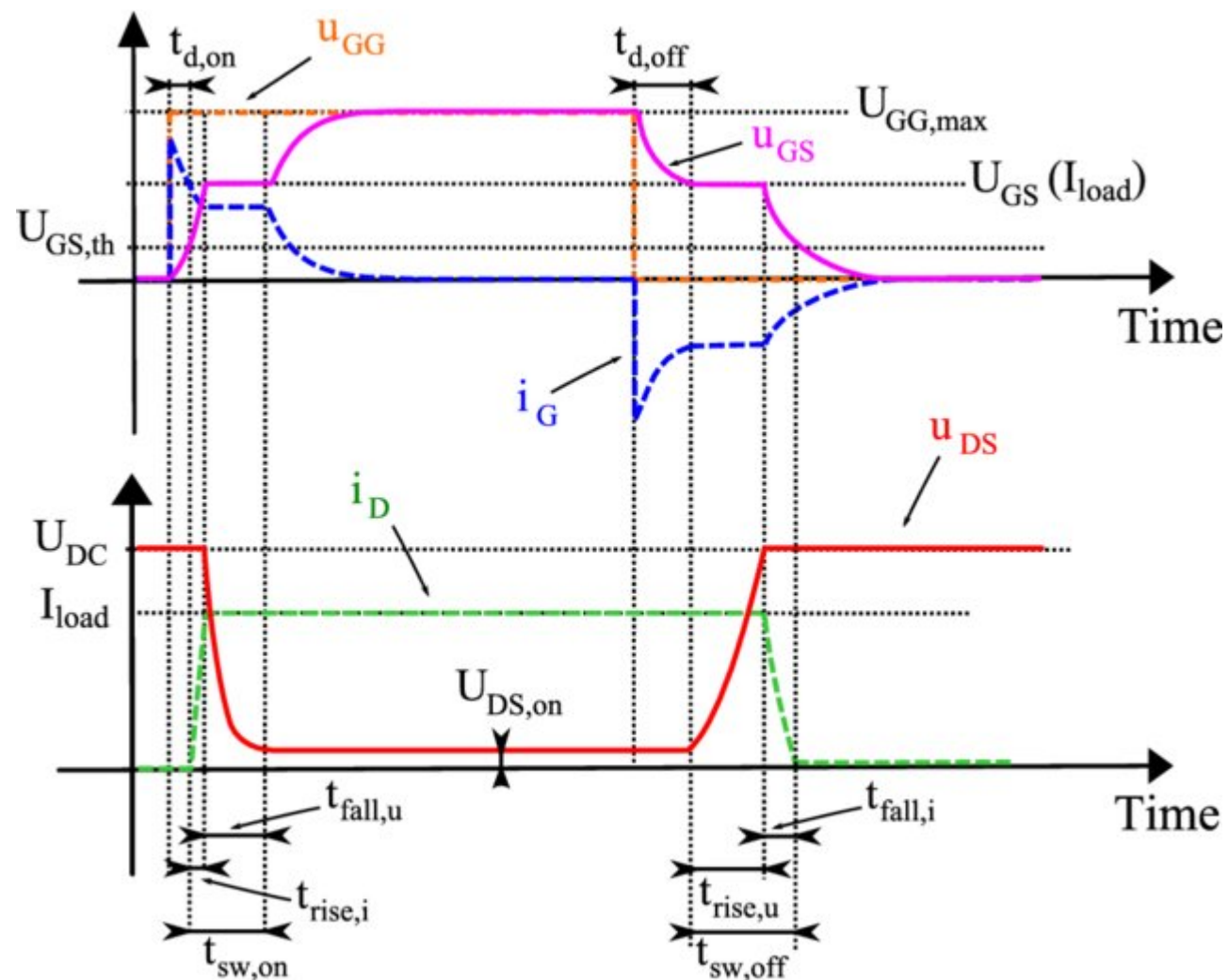
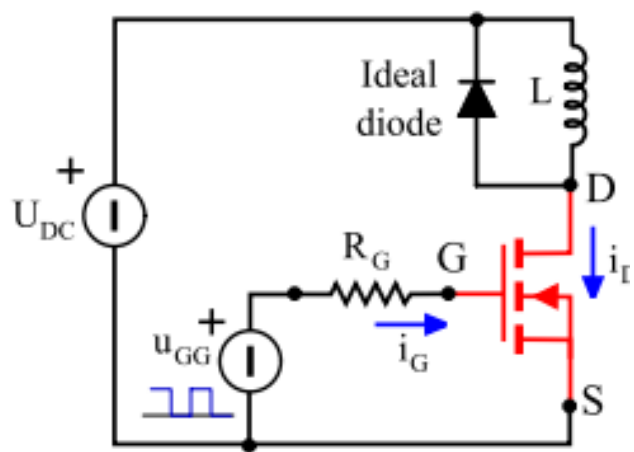
# MOS ключови схеми



Управляващи схеми  
за P-канален MOS транзистор

## MOS ключови схеми

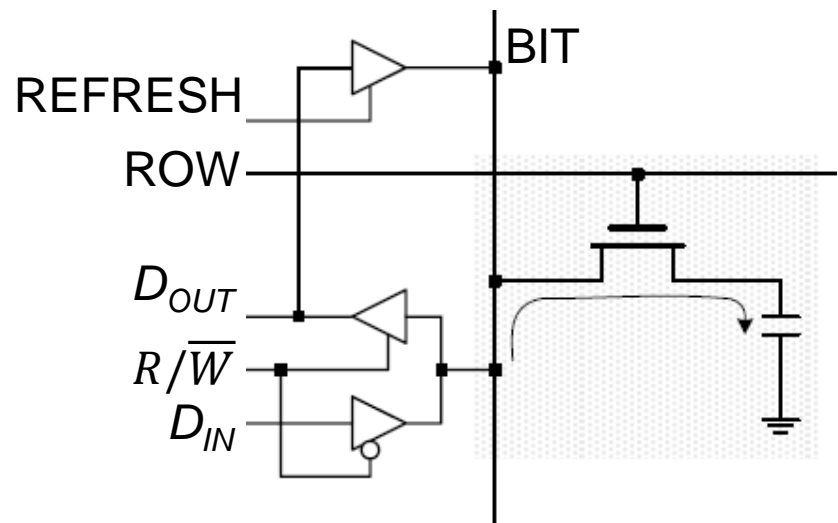
Управление на индуктивен товар  
с N-канален MOS транзистор



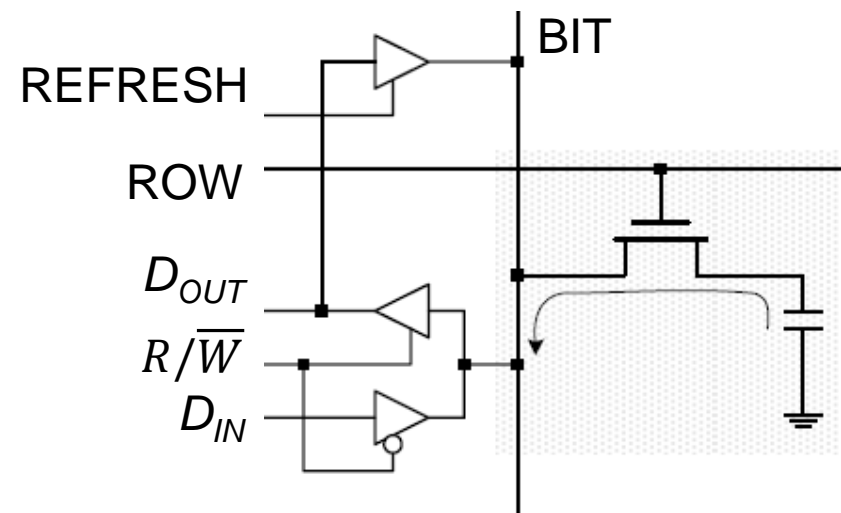


# MOS ключови схеми

## Random access memory - RAM



Запис на "1"



Запис на "0"

## MOS ключови схеми

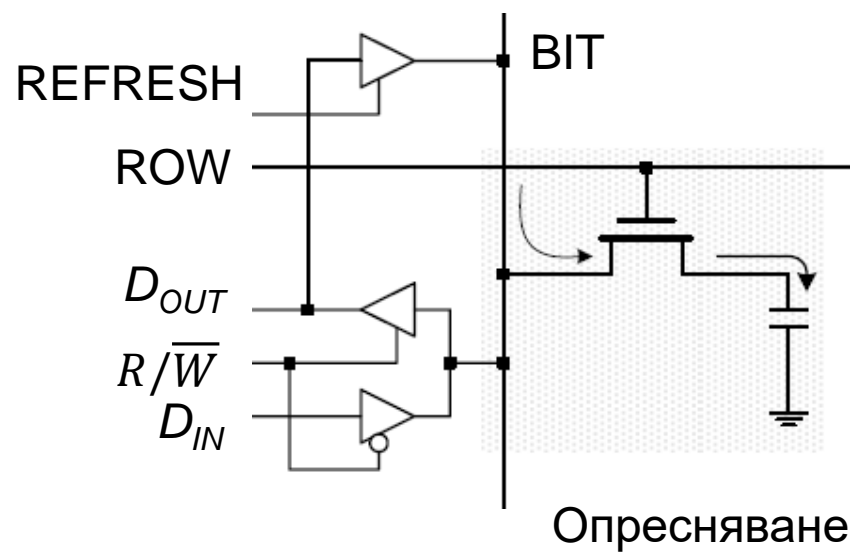
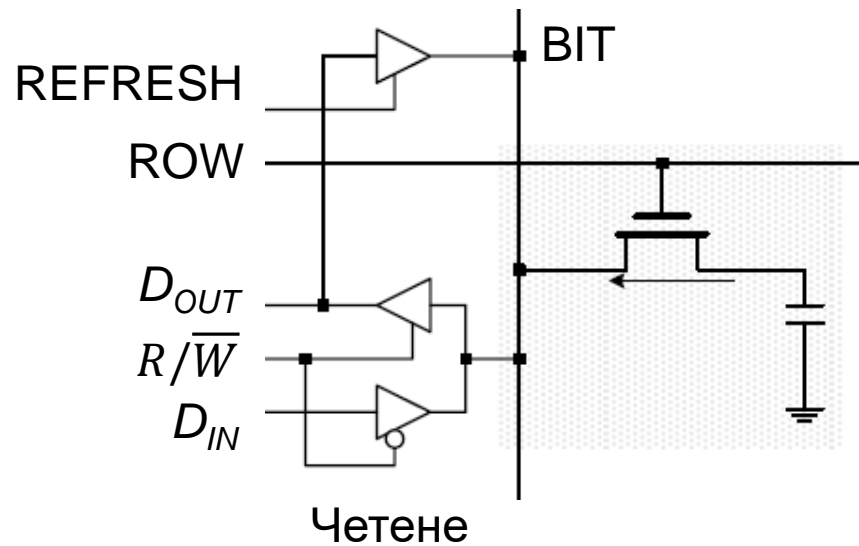
### Random access memory - RAM

Логическа „0“ на линията  $R/\overline{W}$  (режим запис) рзрешава входния буфер и забранява изходния буфер. За да бъде записана 1 в клетката, входът за данни  $D_{IN}$  трябва да бъде във високо ниво, а транзисторът да бъде включен чрез логическа „1“ на входа ROW. За запис на логическа „0“ към входа за данни  $D_{IN}$  се подава ниско ниво. Следователно транзисторът включва кондензатора към двупосочната линия BIT.

Когато входът ROW се върне обратно в ниско ниво, транзисторът се запушва и отделя кондензатора (запомнящата клетка) от входа BIT, запазвайки заряда (1 или 0) на кондензатора.

# MOS ключови схеми

## Random access memory - RAM



## MOS ключови схеми

### Random access memory - RAM

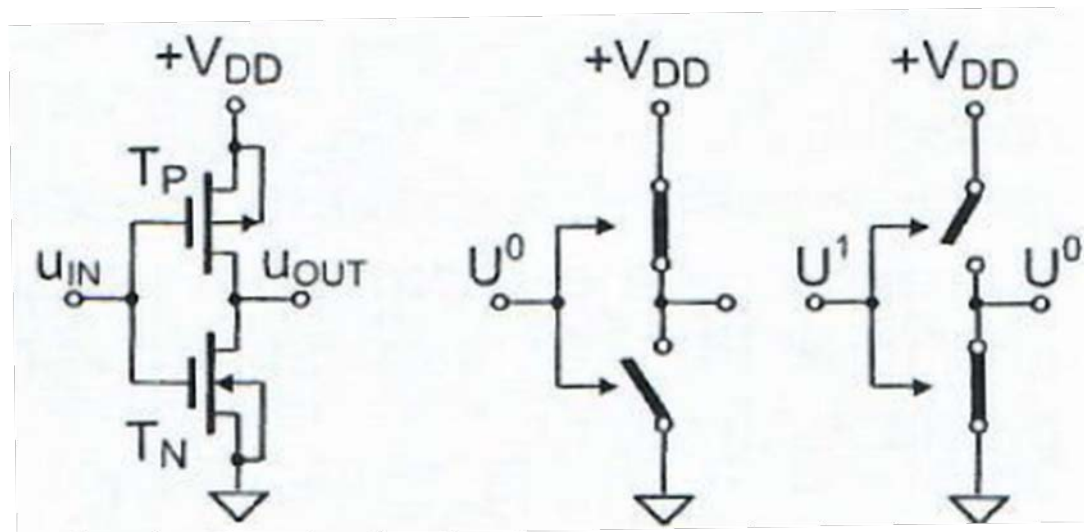
За четене от клетка на паметта, входът  $R/\overline{W}$  е във високо ниво и разрешава изходния буфер, а забранява входния буфер. Когато входът ROW е във високо ниво, транзисторът се отпушва и свързва кондензатора към линията BIT и също така към изходния буфер. Така информацията достига до изходната линия  $D_{OUT}$ .

За опресняване на клетката от паметта входът  $R/\overline{W}$  е във високо ниво, входовете ROW и REFRESH също. Транзисторът е отпушен и свързва кондензатора към линията BIT. Информацията преминава през разрешените изходен и REFRESH буфери, което води до подаване на напрежение на линията BIT, отговарящо на запомнената стойност и по този начин се дозарежда кондензатора.

## CMOS ключови схеми

Схемата използва както N-канален, така и P-канален транзистор и поради това се описва като допълваща (комплементарна, **complementary**) MOS логика или просто CMOS. Както при N-MOS схемите,  $V_{DD}$  представлява логическа 1 и 0V представлява логическа 0. Тъй като са с различни полярности, двата транзистора реагират противоположно на напреженията, приложени към гейтовете им. Входното напрежение на всяко логическо ниво ще включи единия транзистор, а другия ще изключи. Тази схема осигурява ниско изходно съпротивление, което може да зарежда по-бързо товарните капацитети, постигайки по-бързо време за превключване.

## CMOS ключови схеми

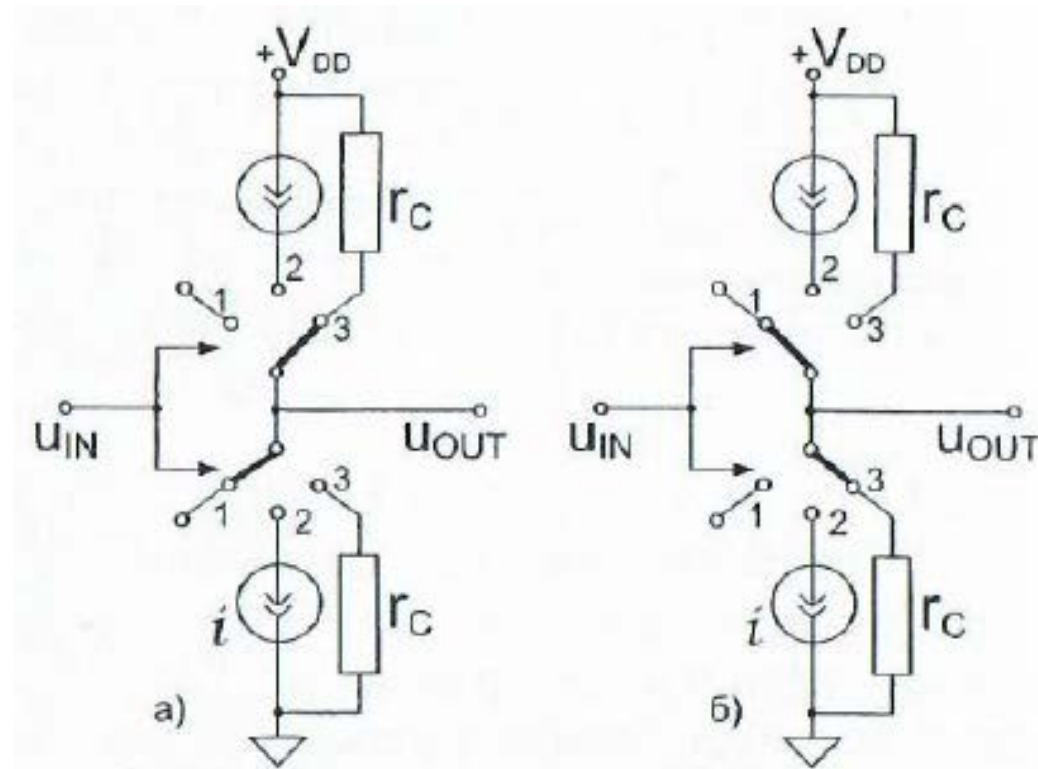


Тъй като в статичен режим единият от двата транзистора винаги е изключен, между захранващите шини не тече постоянен ток, и единственият ток, консумиран от захранването, е този, който се подава към изхода.

## CMOS ключови схеми

Енергия от захранването също се консумира, когато схемата превключва от едно състояние в друго, тъй като за кратък период и двата транзистора провеждат по едно и също време. Следователно резултантната консумация на енергия обикновено е незначителна, когато схемата е статична, но се увеличава със скоростта на превключване. Типични стойности за консумацията на енергия може да бъдат около  $10\text{nW}$  на схема, когато е статична и около  $1\text{mW}$ , когато превключва с тактова честота  $1\text{MHz}$ . Ясно е, че дори когато работят при високи скорости, схемите консумират много малко енергия.

## CMOS ключови схеми



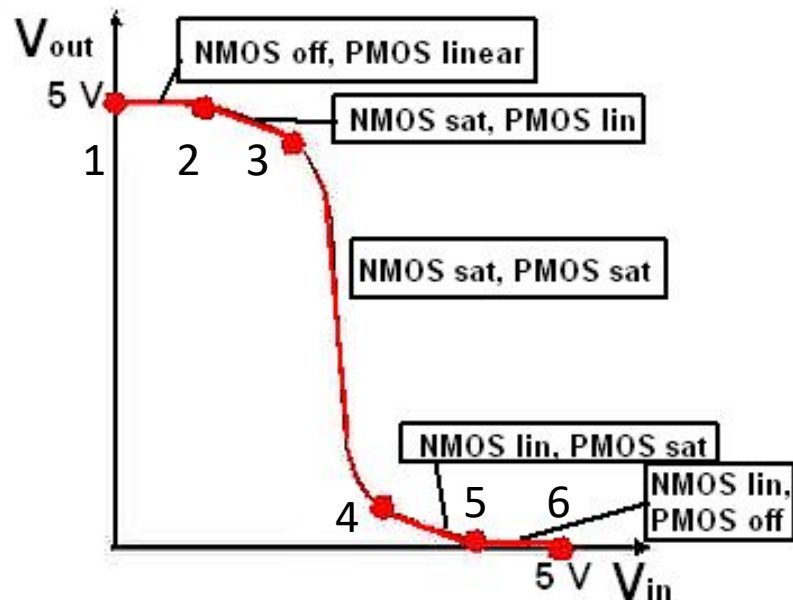
Статичен режим:

а)  $T_N$  запущен; б)  $T_P$  запущен



## CMOS ключови схеми

N-каналният транзистор е запушен в участъка 1-2, а P-каналният – в участъка 5-6. Между точките 2-3 и 4-5 се увеличават тока на отпушващия се транзистор и съпротивлението на запущващия се. В резултат расте усилването на схемата като стръмността на характеристиката е най-голяма в участъка 3-4 където и двата транзистора работят в насищане.

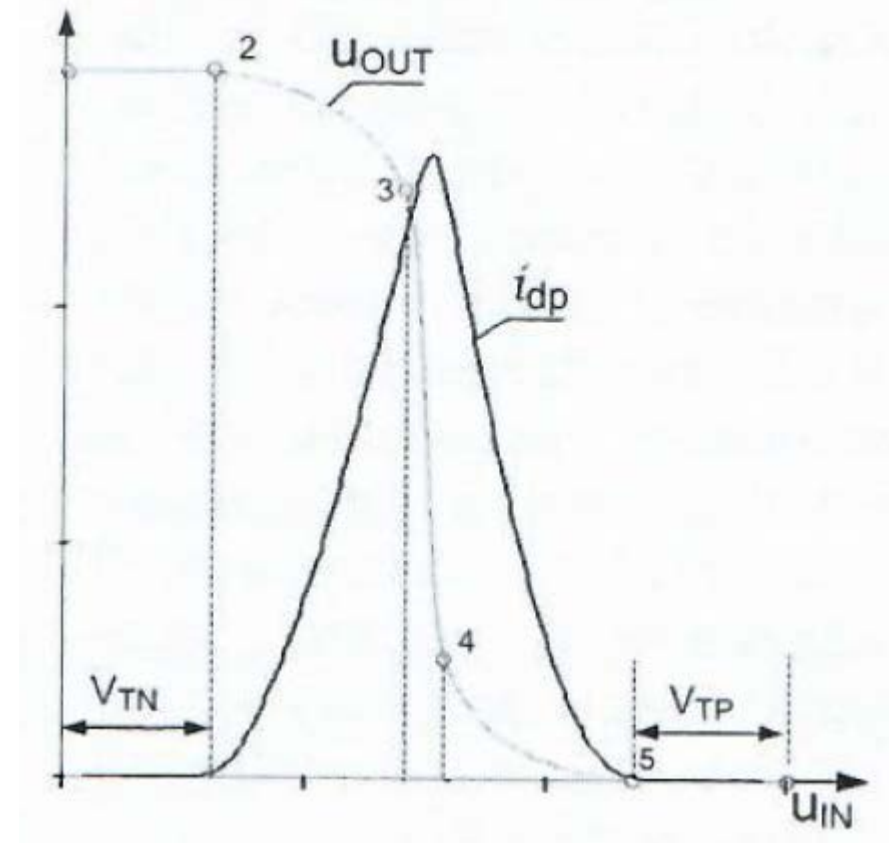


Предавателна характеристика  
на CMOS инвертор

## CMOS ключови схеми

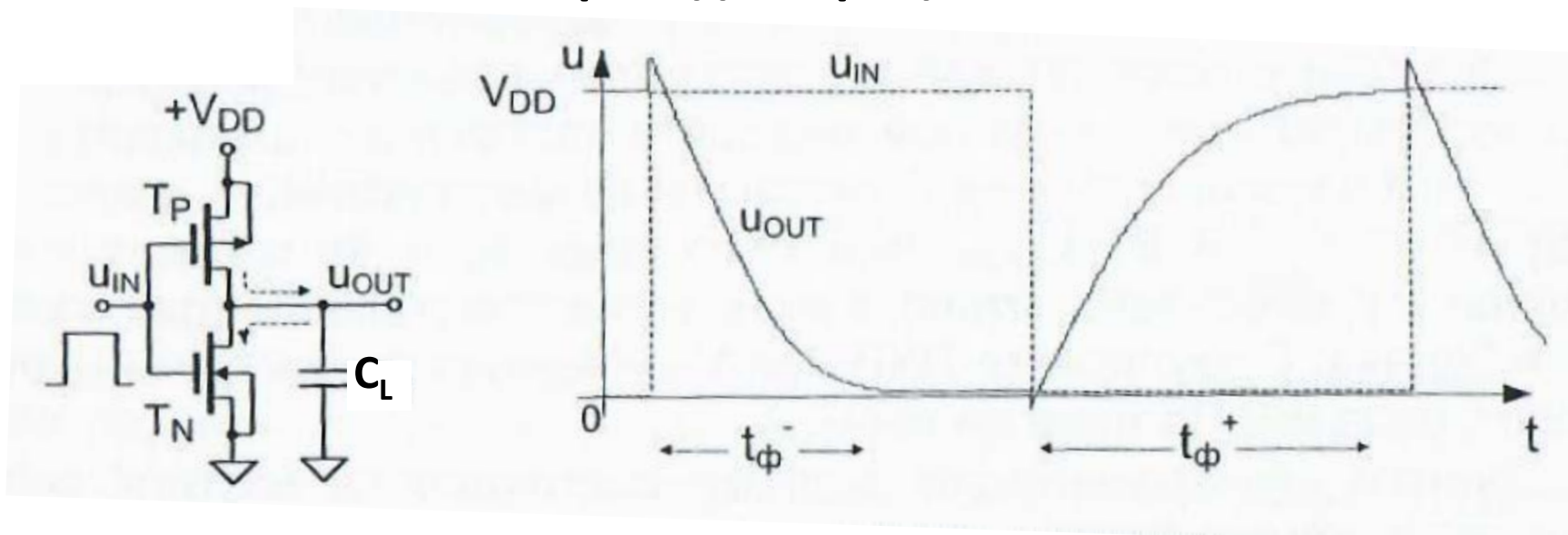
Всеки транзистор би трябвало да представлява генератор на ток, усилването да бъде безкрайно голямо, а характеристиката – вертикална.

В действителност поради модулацията на канала изходните съпротивления на транзисторите не са безкрайно големи и реалната характеристика е наклонена. Между точките 2 и 5 протича ток  $i_{dp}$  от  $V_{DD}$  към маса през  $T_N$  и  $T_P$ .



## CMOS ключови схеми

### Преходни процеси



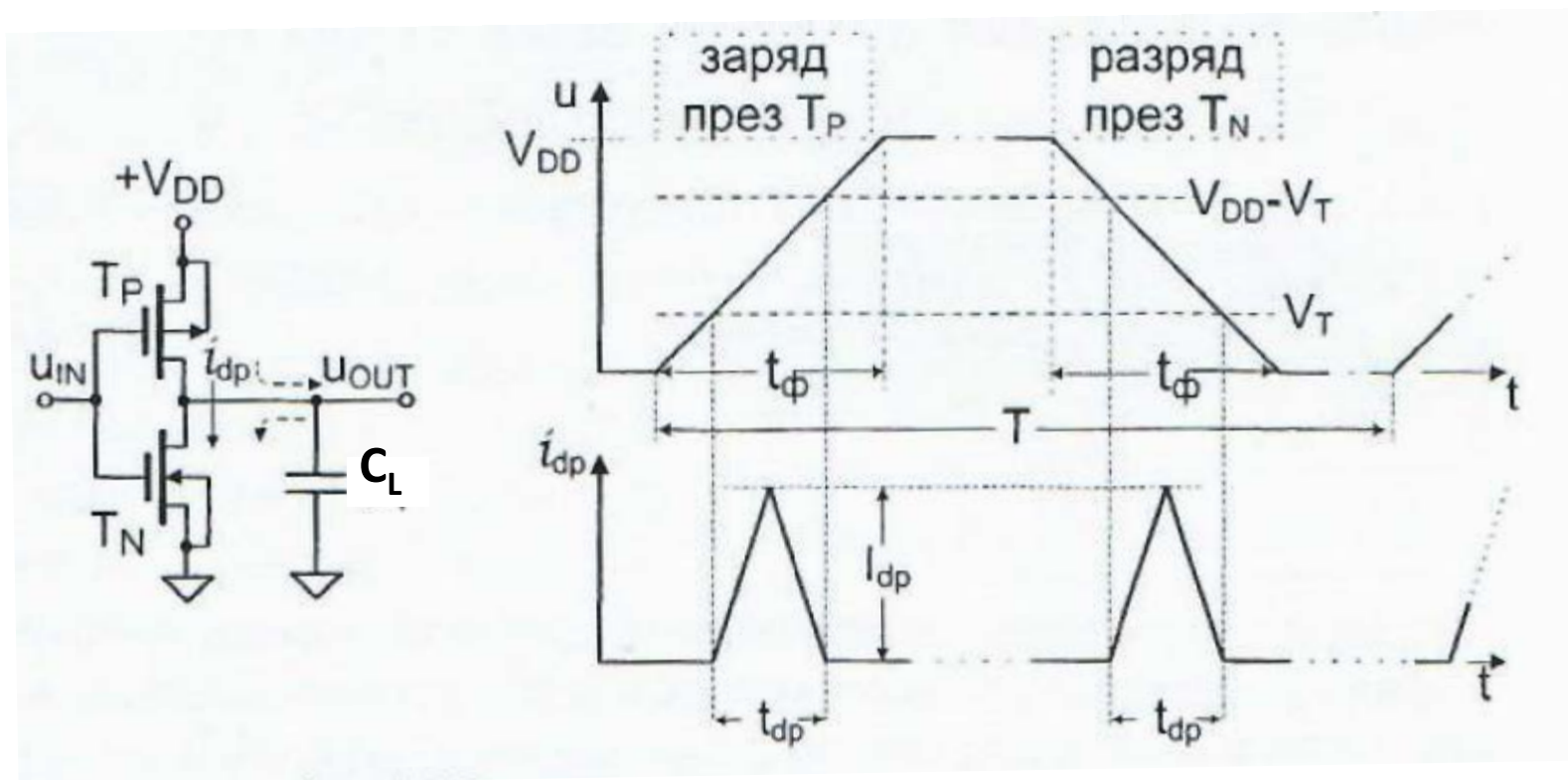
При анализа на преходните процеси всички паразитни капацитети се заместват с един –  $C_L$ . Процесите на заряд и разряд на капацитета протичат според изразите:

$$t_{\phi}^+ \approx 4C_L r_{CP}$$

$$t_{\phi}^- \approx 4C_L r_{CN}$$

# CMOS ключови схеми

## Анализ на динамичната консумация



## CMOS ключови схеми

### Анализ на динамичната консумация

Динамично консумираната мощност се дължи на заряда и разряда на капацитетите и на тока  $i_{dp}$ , който протича при всяко превключване.

$$P_{C_L} = 2 \cdot \frac{1}{2} C_L V_{DD}^2 f = C_L V_{DD}^2 f$$

$$P_{i_{dp}} = 2V_{DD} \frac{I_{dp} t_{dp}}{2} f = V_{DD} I_{dp} \frac{V_{DD} - 2V_T}{V_{DD}} t_{\phi} f; \quad t_{dp} = \frac{V_{DD} - 2V_T}{V_{DD}} t_{\phi}$$

$$P_{дин} = P_{C_L} + P_{i_{dp}} \approx C_{екв} V_{DD}^2 f;$$

$$C_{екв} = C_L + I_{dp} t_{\phi} \frac{V_{DD} - 2V_T}{V_{DD}^2}$$